

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANT: GI HONG KIM, ET AL.)
)
FOR: SRAM-COMPATIBLE MEMORY DEVICE)
HAVING THREE SENSE AMPLIFIERS)
BETWEEN TWO MEMORY BLOCKS)

CLAIM FOR PRIORITY

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

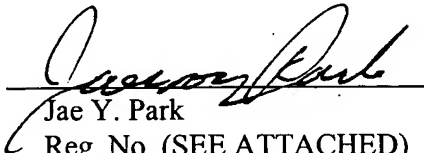
Dear Commissioner:

Enclosed herewith is a certified copy of Korean Patent Application No. 2003-0033059 filed on May 23, 2003. The enclosed Application is directed to the invention disclosed and claimed in the above-identified application.

Applicants hereby claim the benefit of the filing date of May 23, 2003, of the Korean Patent Application No. 2003-0033059, under provisions of 35 U.S.C. 119 and the International Convention for the protection of Industrial Property.

Respectfully submitted,

CANTOR COLBURN LLP

By: 
Jae Y. Park
Reg. No. (SEE ATTACHED)
Cantor Colburn LLP
55 Griffin Road South
Bloomfield, CT 06002
Telephone: (860) 286-2929
Fax: (860) 286-0115
PTO Customer No. 23413

Date: March 25, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0033059
Application Number

출원년월일 : 2003년 05월 23일
Date of Application MAY 23, 2003

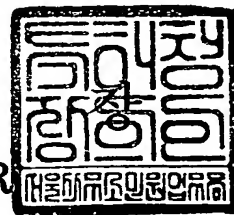
출원인 : (주)실리콘세븐
Applicant(s) SILICON7 INC.



2004 년 03 월 05 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.05.23
【국제특허분류】	G11C
【발명의 명칭】	2 개의 메모리 블록 사이에 3개의 센스앰프를 가지며, 인출과 기 입 동작 구간이 분리되는 리프레쉬 동작을 수행하는 에스램 호환 메모리 및 그 구동방법
【발명의 영문명칭】	SRAM compatable memory having three SAs between two memory blocks and performing REFRESH operation in which the inducing and the rewriting operation are performed seperately and Operating Method thereof
【출원인】	
【명칭】	(주)실리콘세븐
【출원인코드】	1-2000-048635-1
【대리인】	
【성명】	곽덕영
【대리인코드】	9-1998-000630-5
【포괄위임등록번호】	2000-060422-7
【대리인】	
【성명】	이철희
【대리인코드】	9-2003-000141-6
【포괄위임등록번호】	2003-027834-8
【발명자】	
【성명의 국문표기】	김기홍
【성명의 영문표기】	KIM, Gi Hong
【주민등록번호】	711002-1002625
【우편번호】	440-300
【주소】	경기도 수원시 장안구 정자동 919 한라아파트 639-801
【국적】	KR
【발명자】	
【성명의 국문표기】	이선행
【성명의 영문표기】	LEE, Sun Hyoun
【주민등록번호】	691024-1051812

【우편번호】 151-784
【주소】 서울특별시 관악구 신림8동 강남아파트 8동 814호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 곽덕영 (인) 대리인
 이철희 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 12 면 12,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 4 항 237,000 원
【합계】 278,000 원
【감면사유】 소기업 (70%감면)
【감면후 수수료】 83,400 원
【첨부서류】 1. 요약서·명세서(도면)_1통 2. 소기업임을 증명하는 서류[사업자등록증사본, 원천징수이행상황신 고서사본]_1통

【요약서】

【요약】

인출과 재기입 동작 구간이 분리되는 리프레쉬 동작을 수행하는 에스램 호환 메모리 및 그 구동방법이 제시된다. 본 발명의 에스램 호환 메모리는 제1 비트라인쌍을 통하여 데이터를 입출력하는 상기 제1 메모리 블록; 제2 비트라인쌍을 통하여 데이터를 입출력하는 상기 제2 메모리 블록; 상기 제1 비트라인쌍의 데이터를 증폭하여 래치하는 제1 센스앰프; 상기 제2 비트라인쌍의 데이터를 증폭하여 래치하는 제2 센스앰프; 전송되는 데이터를 증폭하여 래치하는 제3 센스앰프; 상기 제1 비트라인쌍과 상기 제3 센스앰프의 전기적 연결을 제어하는 제1 스위칭 수단; 및 상기 제2 비트라인쌍과 상기 제3 센스앰프의 전기적 연결을 제어하는 제2 스위칭 수단을 구비한다. 그리고, 본 발명의 에스램 호환 메모리는 서로 비연속적인 제1 및 제2 리프레쉬 구간을 수행하되, 상기 제1 리프레쉬 구간에서는 리프레쉬되는 디램셀의 데이터를 인출하고, 상기 제2 리프레쉬 구간에서는 인출된 데이터를 상기 리프레쉬되는 디램셀에 재기입하는 동작을 수행한다. 본 발명의 에스램 호환 메모리 및 그 구동방법에 의하면, 할당되는 리프레쉬 구간의 길이를 감소시킬 수 있으며, 전체적으로 외부 액세스 구간을 감소시킬 수 있다. 따라서, 에스램 호환 메모리의 전체적인 동작 속도가 현저히 개선된다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

2개의 메모리 블록 사이에 3개의 센스앰프를 가지며, 인출과 기입 동작 구간이 분리되는 리프레쉬 동작을 수행하는 에스램 호환 메모리 및 그 구동방법{SRAM compatible memory having three SAs between two memory blocks and performing REFRESH operation in which the inducing and the rewriting operation are performed separately and Operating Method thereof}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 사용되는 도면을 보다 충분히 이해하기 위하여, 각 도면의 간단한 설명이 제공된다.

도 1은 종래의 에스램 호환 메모리의 구동방법을 설명하기 위한 도면이다.

도 2는 본 발명의 일실시예에 따른 에스램 호환 메모리를 설명하기 위한 도면이다.

도 3은 도 2의 일부분을 자세히 나타내는 회로도이다.

도 4는 제1 및 제2 외부 액세스 구간 내의 리프레쉬 구간 및 내부 액세스 구간을 설명하기 위한 도면이다.

도 5는 리프레쉬 구간에서 특정행의 디램셀에서 데이터를 인출한 후, 내부 액세스 구간 동안에 동일 메모리 블록에서의 다른행의 디램셀의 데이터를 독출 액세스하는 경우를 설명하기 위한 타이밍도이다.

도 6a 및 도 6b는 도 5의 타이밍도에 따른 리프레쉬와 관련되는 에스램 호환 메모리의 동작을 설명하기 위한 플로우차트이다.

도 7은 리프레쉬 구간에서 특정행의 디램셀에서 데이터를 인출한 후, 내부 액세스 구간 동안에 동일 메모리 블록에서의 동일행의 디램셀의 데이터를 독출하는 경우를 설명하기 위한 타이밍도이다.

도 8a 및 도 8b는 도 7의 타이밍도에 따른 리프레쉬와 관련되는 에스램 호환 메모리의 동작을 설명하기 위한 플로우차트이다.

도 9는 리프레쉬 구간에서 특정행의 디램셀에서 데이터를 인출한 후, 내부 액세스 구간 동안에 다른 메모리 블록에서의 디램셀의 데이터를 독출하는 경우를 설명하기 위한 타이밍도이다.

도 10a 및 도 10b는 도 9의 타이밍도에 따른 리프레쉬와 관련되는 에스램 호환 메모리의 동작을 설명하기 위한 플로우차트이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<12> 본 발명은 반도체 메모리 장치에 관한 것으로서, 특히 디램(DRAM: Dynamic Random Access Memory) 셀(cell)을 가지면서, 에스램(SRAM: Static Random Access Memory)과 호환 가능한 에스램 호환 메모리 및 그 구동 방법에 관한 것이다.

<13> 일반적으로, 반도체 메모리 장치 중의 램(RAM: Random Access Memory)은 에

스램과 디램으로 분류된다. 통상적인 램은 행과 열로 구성되는 매트릭스 상에 배열되는 다수개의 디램셀들을 가지는 메모리 블록과, 상기 디램셀들로/로부터 데이터를 입/출력하도록 제어하는 주변 회로로 구성된다. 에스램에 사용되는 1비트의 정보를 저장하기 위한 하나의 단위셀은 래치(latch) 구조를 이루는 4개의 트랜지스터와, 전송 게이트로 작용하는 2개의 트랜지스터로 구현된다. 즉, 통상적인 에스램은 래치 구조의 단위셀에 데이터를 저장하고 있으므로, 데이터를 보존하기 위한 리프레쉬 동작이 요구되지 않는다. 또한, 에스램은, 디램에 비하여, 동작 속도가 빠르고, 소비 전력이 작다는 장점을 지닌다.

<14> 그러나, 에스램의 단위셀은 6개의 트랜지스터로 구현되어 있으므로, 에스램은 1개의 트랜지스터와 1개의 커패시터로 단위셀이 구현되는 디램에 비하여, 소요되는 웨이퍼 면적 측면에서, 단점을 지닌다. 즉, 동일한 용량의 기억 소자를 제조하기 위하여, 에스램의 웨이퍼 면적은 디램의 웨이퍼 면적의 6배 내지 10배 정도이다. 이와 같은, 에스램의 소요 면적은 에스램의 단가를 상승시킨다. 만약, 비용 절감 등을 위하여, 에스램을 대신하여 통상적인 디램이 사용되는 경우, 주기적인 리프레쉬 때문에 추가적으로 디램 컨트롤러가 장착되어야 한다. 또한, 디램의 주기적인 리프레쉬 동작을 위한 소요 시간과 느린 동작 속도 때문에 시스템 자체의 전반적인 성능이 하락된다.

<15> 상기와 같은 디램과 에스램의 단점을 극복하고자 개발된 것이 내부적으로 디램셀을 이용하면서도, 외부적으로는 에스램과 호환되는 에스램 호환 메모리이다. 도 1은 종래의 에스램 호환 메모리의 구동방법을 설명하기 위한 도면이다. 도 1을 참조하면, 한개의 '외부 액세스 구간(EXT-TRC)'은 '내부 액세스 구간(INT-TRC)'과 '리프레쉬 구간(REF-RW)'을 포함한다.

<16> 그런데, 종래의 에스램 호환 메모리의 구동방법에서는, 리프레쉬되는 디램셀의 데이터가 소정의 센스앰프로 인출되어 증폭된 후, 다시 리프레쉬되는 디램셀에 재기입되는 동작이, 1개의 상기 '리프레쉬 구간(REF-RW)'에서, 모두 수행된다.

<17> 따라서, 종래의 에스램 호환 메모리의 구동방법에 의하면, 리프레쉬 구간(REF-RW)은 상당한 시간을 소요하게 되고, 전체적으로 동작 속도가 저하되는 문제점이 발생한다.

【발명이 이루고자 하는 기술적 과제】

<18> 본 발명의 목적은 상기 종래기술의 문제점을 해결하기 위한 것으로서, 상기 리프레쉬 구간의 길이를 감소시켜, 전체적으로 동작 속도를 개선할 수 있는 에스램 호환 메모리 및 그 구동방법을 제공하는 것이다.

【발명의 구성 및 작용】

<19> 상기와 같은 기술적 과제를 해결하기 위한 본 발명의 일면은 에스램 호환 메모리에 관한 것이다. 본 발명의 에스램 호환 메모리는 행과 열로 정의되는 매트릭스 상에 배열되는 복수개의 디램셀들을 포함하며, 상기 디램셀들 각각은 저장된 데이터를 유효하게 보존하기 위하여 소정의 리프레쉬 주기 이내에 리프레쉬의 수행이 요구되는 제1 및 제2 메모리 블록을 가지는 에스램 호환 메모리로서, 외부적으로 상기 리프레쉬의 수행을 위한 별도의 동작 타이밍 구간이 설정되지 않는 외부 시스템과 인터페이싱될 수 있다. 상기 에스램 호환 메모리는 제1 비트라인쌍을 통하여 데이터를 입출력하는 상기 제1 메모리 블록; 제2 비트라인쌍을 통하여 데이터를 입출력하는 상기 제2 메모리 블록; 상기 제1 비트라인쌍의 데이터를 증폭하여 래치하는 제1 센

스램프; 상기 제2 비트라인쌍의 데이터를 증폭하여 래치하는 제2 센스램프; 전송되는 데이터를 증폭하여 래치하는 제3 센스램프; 상기 제1 비트라인쌍과 상기 제3 센스램프의 전기적 연결을 제어하는 제1 스위칭 수단; 및 상기 제2 비트라인쌍과 상기 제3 센스램프의 전기적 연결을 제어하는 제2 스위칭 수단을 구비한다.

<20> 바람직하기로는, 상기 에스램 호환 메모리는 외부에서 액세스되는 제1 및 제2 외부 액세스 구간을 수행하되, 상기 제1 외부 액세스 구간은 소정의 제1 리프레쉬 구간과 제1 내부 액세스 구간을 포함하며, 상기 제2 외부 액세스 구간은 소정의 제2 리프레쉬 구간을 포함하는 상기 제1 및 제2 외부 액세스 구간을 수행한다. 그리고, 상기 에스램 호환 메모리는 상기 제1 리프레쉬 구간에서 상기 제1 메모리 블록의 제1행의 디램셀의 데이터를 인출하며, 상기 제2 리프레쉬 구간에서 인출된 상기 제1 메모리 블록의 제1행의 디램셀의 데이터를 재기입한다.

<21> 본 발명과 본 발명의 동작 상의 잇점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<22> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 대하여, 동일한 참조부호는 동일한 부재임을 나타낸다.

<23> 본 발명의 에스램 호환 메모리는 내부적으로 디램셀을 채용하고 리프레쉬 동작이 수행되지만, 외부적으로는 통상의 에스램과 마찬가지로 리프레쉬를 위한 동작구간이 할당되지 않는다. 또한, 본 발명의 에스램 호환 메모리는 리프레쉬 동작을 제어하기 위한 별도의 제어신호가 외부에서 요구되지 않으며, 외부적으로는 통상적인 에스램과 동일한 규칙에 의하여 구동될 수 있다.

<24> 본 발명의 에스램 호환 메모리는 하나의 '외부 액세스 구간' 내에 하나의 '리프레쉬 구간'과 하나의 '내부 액세스 구간'을 가질 수 있다. 본 명세서에서, 상기 '외부 액세스 구간'은 연속적으로 입력되는 독출 또는 기입 액세스 명령이 유효하게 수행될 수 있는 최소 간격을 칭한다. 상기 '내부 액세스 구간'은 하나의 워드라인인 활성화된 후, 동일 또는 다른 워드라인이 활성화되어 유효하게 데이터를 액세스할 수 있는 최소 시간 간격을 말한다. 그리고, 상기 '리프레쉬 구간'은 상기 '외부 액세스 구간'에서 상기 '내부 액세스 구간'을 제외한 구간으로서, 리프레쉬를 위한 동작을 수행하는 구간이다.

<25> 도 2는 본 발명의 일실시예에 따른 에스램 호환 메모리를 설명하기 위한 도면으로서, 2개의 메모리 블록들(110, 210)과 이 블록들 사이에 내장되는 회로요소들을 개략적으로 나타내는 도면이다. 도 2에서, 제1 메모리 블록(110)의 워드라인들을 참조부호 WLA_i (여기서, i 는 변수)로 나타내고, 상기 제2 메모리 블록(210)의 워드라인들을 참조부호 WLB_i (여기서, i 는 변수)로 나타낸다. 또한, 상기 제1 메모리 블록(110)의 비트라인쌍을 참조부호 BLA , $/BLA$ 로 나타내고, 상기 제2 메모리 블록(210)의 워드라인들을 참조부호 BLB , $/BLB$ 로 나타낸다.

<26> 도 3은 도 2의 일부분(300)을 자세히 나타내는 회로도이다. 도 3의 구성요소의 참조부호는, 도 2의 구성요소의 참조부호에 프라임(')을 첨가함으로써, 동일한 구성요소의 한 부분임을 나타낸다.

<27> 도 3을 참조하여, 본 발명의 일실시예에 따른 에스램 호환 메모리가 구체적으로 기술된다. 상기 제1 및 제2 메모리 블록(110', 210') 각각은 행(row)과 열(column)로 정의되는 매트릭스 상에 배열되는 다수개의 디램셀들(110a, 110b, ..., 210a, 210b, ...)을 포함한다. 상기 디램셀들(110a, 110b, ..., 210a, 210b, ...) 각각은 저장된 데이터를 유효하게 보존하기 위하여 소정의 리프레쉬 주기 이내에 리프레쉬의 수행이 요구된다. 상기 디램셀들(110a, 110b, ..., 210a,

210b, ...)은 워드라인에 의하여 게이팅되는 전송트랜지스터와, 전송트랜지스터를 통하여 전송되는 비트라인의 데이터를 저장하는 커패시터로 구현되는 것이 일반적이다.

<28> 상기 제1 메모리 블록(110')의 디램셀(110a, 110b, ...)의 데이터는 제1 비트라인쌍(BLA, /BLA)을 통하여 인출될 수 있으며, 상기 제2 메모리 블록(210')의 디램셀(210a, 210b, ...)의 데이터는 제2 비트라인쌍(BLB, /BLB)을 통하여 인출될 수 있다.

<29> 한편, 본 발명의 에스램 호환 메모리는, 도 4에 도시되는 바와 같이, 외부에서 액세스되는 제1 및 제2 외부 액세스 구간(EXT-TRC1, EXT-TRC2)을 수행한다. 상기 제1 외부 액세스 구간(EXT-TRC1)은 제1 리프레쉬 구간(REF1)과 제1 내부 액세스 구간(INT-TRC1)을 포함하며, 상기 제2 외부 액세스 구간(EXT-TRC2)은 제2 리프레쉬 구간(REF2)과 제2 내부 액세스 구간(INT-TRC2)을 포함한다.

<30> 본 발명의 에스램 호환 메모리 및 그 구동방법의 리프레쉬 동작에 따르면, 제1 리프레쉬 구간(REF1)에서 리프레쉬하고자 하는 디램셀의 데이터의 독출이 수행되고, 제2 리프레쉬 구간(REF2)에서 리프레쉬하고자 하는 디램셀의 데이터의 재기입이 수행된다. 이때, 리프레쉬되는 데이터의 증폭은 상기 제1 리프레쉬 구간(REF1) 또는 상기 제1 내부 액세스 구간(INT-TRC1) 중에서 수행된다. 또한, 리프레쉬되는 데이터의 증폭이 제2 리프레쉬 구간(REF2)에서 데이터의 재기입이 수행되기 이전에 증폭되는 경우에도, 본 발명은 효과적으로 수행될 수 있다.

<31> 다시 도 3을 참조하면, 제1 센스앰프(140')는 래치구조로 구현되며, 상기 제1 메모리 블록(110')의 디램셀(110a, 110b)로부터 인출되거나 디램셀(110a, 110b)에 기입될 데이터를 증폭하여 래치한다. 제2 센스앰프(180')는 래치구조로 되어 있으며, 상기 제2 메모리 블록(210')의 디램셀(210a, 210b)로부터 인출되거나 디램셀(210a, 210b)에 기입될 데이터를 증폭하여 래치한다. 그리고, 제3 센스앰프(160')는 전송되는 데이터를 증폭하여 저장한다. 한편, 본 명세서에서

는, 상기 디램셀로부터 데이터를 인출하거나, 디램셀에 데이터를 기입하는 것을 '디램셀을 액세스한다'라고 표현한다.

- <32> 상기 제1 메모리 블록(110')의 데이터는 제1 비트라인쌍(BLA, /BLA)을 통하여 입출력되며, 상기 제2 메모리 블록(210')의 데이터는 제2 비트라인쌍(BLB, /BLB)을 통하여 입출력된다.
- <33> 제1 스위칭 수단(150')은 제1 메모리 블록(110')의 비트라인쌍(BLA, /BLA)과 상기 제3 센스앰프(160')의 데이터선(BLR, /BLR) 사이의 전기적 연결을 제어한다. 제2 스위칭 수단(170')은 상기 제2 메모리 블록(210')의 비트라인쌍(BLB, /BLB)과 상기 제3 센스앰프(160')의 데이터선(BLR, /BLR)의 데이터선(SAL2, /SAL2) 사이의 전기적 연결을 제어한다.
- <34> 한편, 상기 제1 동기화 회로(130') 및 제2 동기화 회로(190')는 제1 메모리 블록(110')의 비트라인쌍(BLA, /BLA)과 제2 메모리 블록(210')의 비트라인쌍(BLB, /BLB)을 각각 동기화하는 역할을 수행한다.
- <35> 계속하여, 본 발명의 에스램 호환 메모리에서의 리프레쉬와 관련되는 여러가지 경우의 동작이 기술된다.
- <36> 도 5는 리프레쉬 구간에서 특정행의 디램셀에서 데이터를 인출한 후, 내부 액세스 구간 동안에 동일 메모리 블록에서의 다른행의 디램셀의 데이터를 독출 액세스하는 경우를 설명하기 위한 타이밍도이다. 다시 설명하면, 도 5는 제1 리프레쉬 구간(REF1)에서 제1 메모리 블록(110')의 제1 워드라인(WLA1)과 연결되는 디램셀(110a)로 데이터가 인출되고, 제1 내부 액세스 구간(INT-TRC1)에서 제1 메모리 블록(110')의 제2 워드라인(WLA2)과 연결되는 디램셀(110b)의 데이터를 독출하는 경우를 나타낸다.

- <37> 계속하여, 도 3과 함께 도 5를 참조한다. 먼저, 시점 t1에서 발생하는 리프레쉬 요구 신호(REF)에 응답하여, 제1 리프레쉬 구간(REF1)이 시작된다. 시점 t2에서, 제1 동기화 신호(EQ1)가 "로우"로 비활성화되고, 제1 스위칭 신호(IS01)가 "하이"로 활성화되므로, 제1 비트라인쌍(BLA, /BLA)의 동기화는 해제되고, 제1 스위칭 수단(150')은 "턴온"되어서, 제1 비트라인쌍(BLA, /BLA)은 제3 센스앰프(160')의 데이터선(BLR, /BLR)이 전기적으로 연결된다. 즉, 제1 비트라인쌍(BLA, /BLA)은 제1 센스앰프(140') 및 제3 센스앰프(160')과 전기적으로 연결된다.
- <38> 그리고, 제1 워드라인(WLA1)이 "하이"로 활성화되는 구간 t3에서, 제1 메모리 블록(110')의 디램셀(110a)의 데이터가 인출되며, 신호 NE3 및 PE3이 각각 "하이" 및 "로우"로 활성화되는 구간 t6에서, 제3 센스앰프(160')가 작동하여, 인출된 디램셀(110a)의 데이터를 증폭한다.
- <39> 그리고, 제1 내부 액세스 구간(INT-TRC1)이 시작되는 시점 t5 이전에, 리프레쉬되는 디램셀(110a)에 대하여, 동일한 메모리 블록(110)이지만 다른행 즉, 제2 워드라인(WLA2)의 디램셀(110b)을 선택하는 어드레스의 입력이 확인되면, 제1 스위칭 신호(IS01)는 "로우"로 디스에이블된다. 그러므로, 제1 센스앰프(140') 및 제1 비트라인쌍(BLA, /BLA)는 제3 센스앰프(160')의 데이터선(BLR, /BLR)과 분리된다.
- <40> 시점 t7에서, 제1 동기화 신호(EQ1)이 다시 활성화하여 제1 비트라인쌍(BLA, /BLA)을 동기화한다. 이어서, 시점 t8에서 제2 워드라인(WLA2)이 활성화하면, 디램셀(110b)의 데이터가 제1 센스앰프(140')로 인출되며, 신호 NE1 및 PE1이 다시 각각 "하이"와 "로우"로 활성화하는 구간 t9에서, 디램셀(110b)의 인출된 데이터를 증폭한다. 그리고, 제1 출력 제어신호(NCD1)이 "하이"로 되는 구간 t10에서, 제1 센스앰프(140')에 저장되어 있는 디램셀(110b)의 인출된 데

이터가 제1 로컬 데이터선쌍(LI01,/LI01)으로 출력된다. 이때, 제2 출력 제어신호(NCD2)은 "로우"로 비활성화 상태를 유지한다.

<41> 이어서, 제2 리프레쉬 구간(REF2)이 시작되는 시점 t11에서, 제1 동기화 신호(EQ1)가 다시 활성화되어, 제1 비트라인쌍(BLA,/BLA)을 동기화한다. 계속하여, 시점 t12에서 다시 제1 스위칭 신호(IS01)와 제1 워드라인(WLA1)이 활성화되면, 제3 센스앰프(160')에 저장된 디램셀(110a)의 인출된 데이터가 다시 디램셀(110a)에 재기입된다.

<42> 도 5에 도시되는 타이밍의 각 신호들에 대한 구현은 당업자에게는 자명한 사실이므로, 그에 대한 구체적인 기술은 생략된다.

<43> 도 6a는 도 5의 타이밍도에 따른 리프레쉬와 관련되는 에스램 호환 메모리의 동작을 설명하기 위한 플로우차트로서, 리프레쉬되는 디램셀에 대하여, 동일 메모리 블록이지만, 다른행의 디램셀에 데이터를 독출하는 경우를 나타내는 플로우차트이다.

<44> 도 3과 함께 도 6a를 참조하면, 제1 리프레쉬 구간(REF1)에서 제1 워드라인(WLA1)의 디램셀(110a)에서 리프레쉬될 데이터를 인출한다(S611). 그리고, 인출된 데이터는 제3 센스앰프(160')에서 증폭되어 저장된다(S615). 이어서, 제1 내부 액세스 구간(INT-TRC1)에서, 제2 워드라인(WLA2)이 활성화하여, 상기 외부 어드레스에 의하여 특정되는 디램셀(110b)의 데이터가 제1 센스앰프(140')로 인출되어 증폭된다(S623). 그리고, 제1 센스앰프(140')에 저장되어 있는 디램셀(110b)의 데이터를 외부로 독출한다(S627). 계속하여, 제2 리프레쉬 구간(REF2)에서, 제3 센스앰프(160')에 저장된 디램셀(110a)의 인출된 데이터를 디램셀(110a)에 재기입한다(S631).

- <45> 도 6b는 리프레쉬되는 디램셀에 대하여, 동일 메모리 블록이지만, 다른행의 디램셀에 데이터를 기입하는 경우를 나타내는 플로우차트이다.
- <46> 도 6b의 플로우차트는 도 6a의 플로우차트와 유사하다. 따라서, 도 6b에서 도 6a와 동일한 단계에 대해서는, 동일한 참조번호에 프라임(')을 더하여 나타낸다. 즉, 도 6b의 단계 S611', S615'는, 도 6a의 단계 S611, S615와 마찬가지로 수행되므로, 본 명세서에서는 그 구체적인 기술은 생략된다.
- <47> 계속하여, 도 6b의 단계 S620에서, 외부로부터 입력되는 데이터가 제1 센스앰프(140')에서 증폭되어 래치된다. 단계 S621에서, 제1 센스앰프(140')에 저장되어 있는 입력 데이터를 제2 워드라인(WLA2)의 디램셀(110b)에 기입된다.
- <48> 그리고, 제2 리프레쉬 구간(REF2)에서, 제3 센스앰프(160')에 저장된 디램셀(110a)의 인출된 데이터를 디램셀(110a)에 재기입한다(S631').
- <49> 도 7은 리프레쉬 구간에서 특정행의 디램셀에서 데이터를 인출한 후, 내부 액세스 구간 동안에 동일 메모리 블록에서의 동일행의 디램셀의 데이터를 독출하는 경우를 설명하기 위한 타이밍도이다.
- <50> 도 3과 함께 도 7을 참조하면, 먼저, 시점 t21에서 발생하는 리프레쉬 요구신호(REF)에 응답하여, 제1 리프레쉬 구간(REF1)이 시작된다. 시점 t22에서, 제1 동기화 신호(EQ1)가 "로우"로 비활성화되고, 제1 스위칭 신호(IS01)가 "하이"로 활성화되므로, 제1 비트라인쌍(BLA, /BLA)의 동기화는 해제되고, 제1 스위칭 수단(150')은 "턴온"되어서, 제1 비트라인쌍(BLA, /BLA)은 제3 센스앰프(160')의 데이터선(BLR, /BLR)이 전기적으로 연결된다. 즉, 제1 비트라인쌍(BLA, /BLA)은 제1 센스앰프(140') 및 제3 센스앰프(160')과 전기적으로 연결된다. 제1

워드라인(WLA1)이 "하이"로 활성화되는 시점 t23에서, 제1 메모리 블록(110')의 디램셀(110a)의 데이터가 인출되며, 신호 NE3 및 PE3이 각각 "하이" 및 "로우"로 활성화되는 시점 t24에서, 제1 및 제3 센스앰프(140', 160')가 작동하여, 인출된 디램셀(110a)의 데이터를 증폭한다.

<51> 계속하여, 시점 t25에서 제1 내부 액세스 구간(INT-TRC1)이 진행된다. 그리고, 제1 출력 제어신호(NCD1)이 "하이"로 되는 구간 t26에서, 제1 및 제3 센스앰프(140', 160')에 저장되어 있는 디램셀(110a)의 인출된 데이터가 제1 로컬 데이터선쌍(LI01, /LI01)으로 출력된다. 이때, 제2 출력 제어신호(NCD2)은 "로우"로 비활성화 상태를 유지한다.

<52> 이어서, 제2 리프레쉬 구간(REF2)이 시작되는 시점 t27에서, 제1 및 제3 센스앰프(140', 160')에서 증폭된 데이터가 디램셀(110a)에 재기입된다.

<53> 도 7에 도시되는 타이밍의 각 신호들에 대한 구현은 당업자에게는 자명한 사실이므로, 그에 대한 구체적인 기술은 생략된다.

<54> 도 8a는 도 7의 타이밍도에 따른 리프레쉬와 관련되는 에스램 호환 메모리의 동작을 설명하기 위한 플로우차트로서, 리프레쉬되는 디램셀에 대하여, 동일 메모리 블록의 동일한 디램셀에 데이터를 독출하는 경우를 나타내는 플로우차트이다.

<55> 도 3과 함께 도 8a를 참조하면, 제1 리프레쉬 구간(REF1)에서 제1 워드라인(WLA1)의 디램셀(110a)에서 리프레쉬될 데이터를 인출한다(S811). 그리고, 인출된 데이터는 제1 및 제3 센스앰프(140', 160')에서 증폭되어 저장된다(S815). 이어서, 제1 내부 액세스 구간(INT-TRC1)에서, 제1 및 제3 센스앰프(140', 160')에서 증폭된 디램셀(110a)의 데이터를 외부로 독출한다(S819).

- <56> 계속하여, 제2 리프레쉬 구간(REF2)에서, 제1 및 제3 센스앰프(140', 160')에서 증폭된 디램셀(110a)의 인출된 데이터를 디램셀(110a)에 재기입한다(S823).
- <57> 도 8b는 리프레쉬되는 디램셀에 대하여, 동일 메모리 블록의 동일행의 디램셀에 데이터를 기입하는 경우를 나타내는 플로우차트이다.
- <58> 도 8b의 플로우차트는 도 8a의 플로우차트와 유사하다. 따라서, 도 8b에서 도 8a와 동일한 단계에 대해서는, 동일한 참조번호에 프라임(')을 더하여 나타낸다. 즉, 도 8b의 단계 S811', S815'는, 도 8a의 단계 S811, S815와 마찬가지로 수행되므로, 본 명세서에서는 그 구체적인 기술은 생략된다.
- <59> 계속하여, 도 8b의 단계 S869에서, 외부로부터 입력되는 데이터가 제1 및 제3 센스앰프(140', 160')에서 수신하고, 제1 및 제3 센스앰프(140', 160')에 저장되어 있는 데이터를 외부로부터 입력되는 데이터로 대체한다.
- <60> 계속하여, 도 8b의 단계 S873에 따르면, 제2 리프레쉬 구간에서, 제1 워드라인(WLA1)이 활성화하면, 제1 및 제3 센스앰프(140', 160')에 저장된 디램셀(110a)의 인출된 데이터를 디램셀(110a)에 재기입한다.
- <61> 도 9는 리프레쉬 구간에서 특정행의 디램셀에서 데이터를 인출한 후, 내부 액세스 구간 동안에 다른 메모리 블록에서의 디램셀의 데이터를 독출하는 경우를 설명하기 위한 타이밍도이다. 다시 설명하면, 도 9는 제1 리프레쉬 구간(REF1)에서 제1 메모리 블록(110')의 제1 워드라인(WLA1)과 연결되는 디램셀(110a)로 데이터가 인출되고, 제1 내부 액세스 구간(INT-TRC1)에서 제2 메모리 블록(210')의 제1 워드라인(WLB1)과 연결되는 디램셀(210b)을 독출하는 경우를 나타낸다.

- <62> 계속하여, 도 3과 함께 도 9를 참조한다. 먼저, 시점 t31에서 발생하는 리프레쉬 요구 신호(REF)에 응답하여, 제1 리프레쉬 구간(REF1)이 시작된다. 시점 t32에서, 제1 동기화 신호(EQ1)가 "로우"로 비활성화되고, 제1 스위칭 신호(IS01)가 "하이"로 활성화되므로, 제1 비트라인쌍(BLA,/BLA)의 동기화는 해제되고, 제1 스위칭 수단(140')은 "턴온"되어서, 제1 비트라인쌍(BLA,/BLA)과 제3 센스앰프(160')의 데이터선(BLR,/BLR)이 전기적으로 연결된다. 그리고, 제1 워드라인(WLA1)이 "하이"로 활성화되는 시점 t33에서, 제1 메모리 블록(110')의 디램셀(110a)의 데이터가 인출되며, 신호 NE3 및 PE3이 각각 "하이" 및 "로우"로 활성화되는 시점 t34에서, 제3 센스앰프(160')는 작동하여, 인출된 디램셀(110a)의 데이터를 증폭한다.
- <63> 계속하여, 시점 t35에서, 제1 내부 액세스 구간(INT-TRC1)이 시작된다. 시점 t36에서, 제2 동기화 신호(EQ2)가 "로우"로 비활성화되고, 제2 스위칭 신호(IS02)가 "하이"로 활성화되므로, 제2 비트라인쌍(BLB,/BLB)의 동기화는 해제된다. 이때, 제2 스위칭 수단(170')은 "턴오프" 상태를 유지하여, 제2 비트라인쌍(BLB,/BLB)과 제3 센스앰프(160')의 데이터선(BLR,/BLR)이 전기적으로 분리된다. 그리고, 워드라인(WLB1)이 "하이"로 활성화되는 시점 t37에서, 제2 메모리 블록(210')의 디램셀(210a)의 데이터가 인출되며, 신호 NE2 및 PE2이 각각 "하이" 및 "로우"로 활성화되는 시점 t38에서, 제2 센스앰프(180')는 작동하여, 인출된 디램셀(210a)의 데이터를 증폭한다.
- <64> 그리고, 제2 출력 제어신호(NCD2)이 "하이"로 되는 구간 t39에서, 제2 센스앰프(180')에 저장되어 있는 디램셀(210b)의 인출된 데이터가 제2 로컬 데이터선쌍(LI02,/LI02)으로 출력된다. 이때, 제1 출력 제어신호(NCD1)은 "로우"로 비활성화 상태를 유지한다.

- <65> 이어서, 제2 리프레쉬 구간(REF2)이 시작되는 시점 t40에서, 다시 제1 스위칭 신호 (IS01)와 제1 워드라인(WLA1)이 다시 활성화되면, 제1 및 제3 센스앰프(140',160')에 저장된 디램셀(110a)의 인출된 데이터가 다시 디램셀(110a)에 재기입된다.
- <66> 도 9에 도시되는 타이밍의 각 신호들에 대한 구현은 당업자에게는 자명한 사실이므로, 그에 대한 구체적인 기술은 생략된다.
- <67> 도 10a는 도 9의 타이밍도에 따른 리프레쉬와 관련되는 에스램 호환 메모리의 동작을 설명하기 위한 플로우차트로서, 리프레쉬되는 디램셀에 대하여, 다른 메모리 블록의 디램셀에 데이터를 독출하는 경우를 나타내는 플로우차트이다.
- <68> 도 3과 함께 도 10a를 참조하면, 제1 리프레쉬 구간(REF1)에서 제1 워드라인(WLA1)의 디램셀(110a)에서 리프레쉬될 데이터를 인출한다(S1011). 그리고, 인출된 데이터는 제3 센스앰프(160')에서 증폭되어 저장된다(S1015). 제1 내부 액세스 구간(INT-TRC1)에서, 제2 메모리 블록(210)의 워드라인(WLB1)의 디램셀(210a)의 데이터를 인출하여, 제2 센스앰프(180')에서 증폭하여 외부로 출력한다(S1019). 계속하여, 제2 리프레쉬 구간(REF2)에서, 제3 센스앰프(160')에서 증폭된 데이터를 디램셀(110a)에 재기입한다(S1023).
- <69> 도 10b는 리프레쉬되는 디램셀에 대하여, 다른 메모리 블록의 디램셀에 데이터를 기입하는 경우를 나타내는 플로우차트이다.
- <70> 도 10b의 플로우차트는 도 10a의 플로우차트와 유사하다. 따라서, 도 10b에서 도 10a와 동일한 단계에 대해서는, 동일한 참조번호에 프라임(')을 더하여 나타낸다. 즉, 도 10b의 단계 S1011', S1015'는, 도 8a의 단계 S1011, S1015와 마찬가지로 수행되므로, 본 명세서에서는 그 구체적인 기술은 생략된다.

- <71> 계속하여, 도 10b의 단계 S1016에서, 외부로부터 입력되는 데이터가 제2 센스앰프(180')에서 증폭하여 워드라인(WLB1)의 디램셀(210a)에 가입된다.
- <72> 계속하여, 도 10b의 단계 S1023'에 따르면, 제2 리프레쉬 구간에서 워드라인(WLA1)이 활성화하면, 제3 센스앰프(160')에 저장된 디램셀(110a)의 인출된 데이터를 디램셀(110a)에 재가입한다.
- <73> 본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

- <74> 상기와 같은 본 발명의 에스램 호환 메모리 및 그 구동방법에 의하면, 하나의 외부 액세스 구간 내에 하나의 리프레쉬 구간과 하나의 내부 액세스 구간이 포함되며, 하나의 리프레쉬 구간에서는, 리프레쉬되는 데이터의 인출 또는 재가입 동작만이 수행된다. 그러므로, 본 발명의 에스램 호환 메모리 및 그 구동방법에 의하면, 할당되는 리프레쉬 구간의 길이를 감소시킬 수 있으며, 전체적으로 외부 액세스 구간을 감소시킬 수 있다. 따라서, 에스램 호환 메모리의 전체적인 동작 속도가 현저히 개선된다.

【특허청구범위】

【청구항 1】

행과 열로 정의되는 매트릭스 상에 배열되는 복수개의 디램셀들을 포함하며, 상기 디램셀들 각각은 저장된 데이터를 유효하게 보존하기 위하여 소정의 리프레쉬 주기 이내에 리프레쉬의 수행이 요구되는 제1 및 제2 메모리 블록을 가지는 에스램 호환 메모리로서, 외부적으로 상기 리프레쉬의 수행을 위한 별도의 동작 타이밍 구간이 설정되지 않는 외부 시스템과 인터페이스될 수 있는 상기 에스램 호환 메모리에 있어서,

제 1 비트라인쌍을 통하여 데이터를 입출력하는 상기 제1 메모리 블록;

제2 비트라인쌍을 통하여 데이터를 입출력하는 상기 제2 메모리 블록;

상기 제1 비트라인쌍의 데이터를 증폭하여 래치하는 제1 센스앰프;

상기 제2 비트라인쌍의 데이터를 증폭하여 래치하는 제2 센스앰프;

전송되는 데이터를 증폭하여 래치하는 제3 센스앰프;

상기 제1 비트라인쌍과 상기 제3 센스앰프의 전기적 연결을 제어하는 제1 스위칭 수단;

및

상기 제2 비트라인쌍과 상기 제3 센스앰프의 전기적 연결을 제어하는 제2 스위칭 수단을 구비하는 것을 특징으로 하는 에스램 호환 메모리.

【청구항 2】

제1 항에 있어서, 상기 에스램 호환 메모리는

외부에서 액세스되는 제1 및 제2 외부 액세스 구간을 수행하되, 상기 제1 외부 액세스 구간은 소정의 제1 리프레쉬 구간과 제1 내부 액세스 구간을 포함하며, 상기 제2 외부 액세스 구간은 소정의 제2 리프레쉬 구간을 포함하는 상기 제1 및 제2 외부 액세스 구간을 수행하며,

상기 제1 리프레쉬 구간에서 상기 제1 메모리 블록의 제1행의 디램셀의 데이터를 인출하며,

상기 제2 리프레쉬 구간에서 인출된 상기 제1 메모리 블록의 제1행의 디램셀의 데이터를 재기입하는 것을 특징으로 하는 에스램 호환 메모리.

【청구항 3】

제2 항에 있어서, 상기 제1 스위칭 수단은

상기 제1 리프레쉬 구간에서 턴온되어, 상기 제1 비트라인쌍을 상기 제3 센스앰프에 전기적으로 연결시키는 것을 특징으로 하는 에스램 호환 메모리.

【청구항 4】

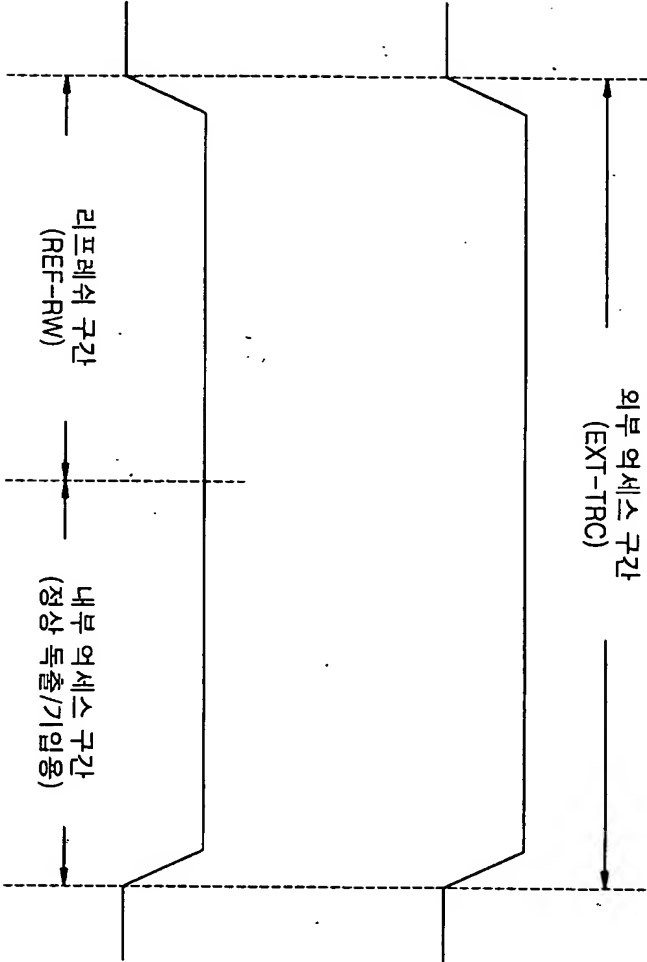
제3 항에 있어서, 상기 제1 스위칭 수단은

상기 제1 내부 액세스 구간에서 턴오프되어 상기 제3 센스앰프를 상기 제1 비트라인쌍으로부터 전기적으로 분리시키는 것을 특징으로 하는 에스램 호환 메모리.

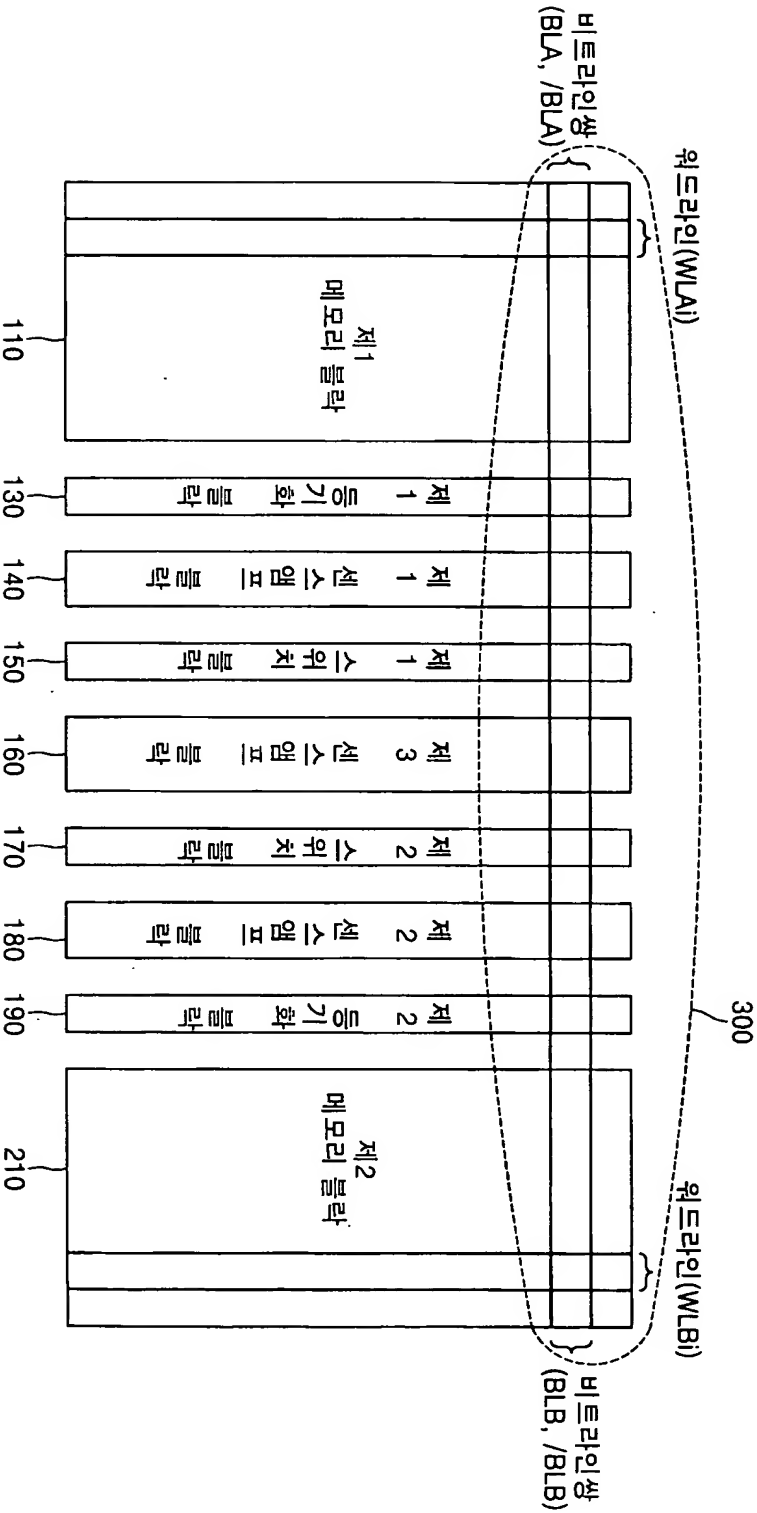


【도면】

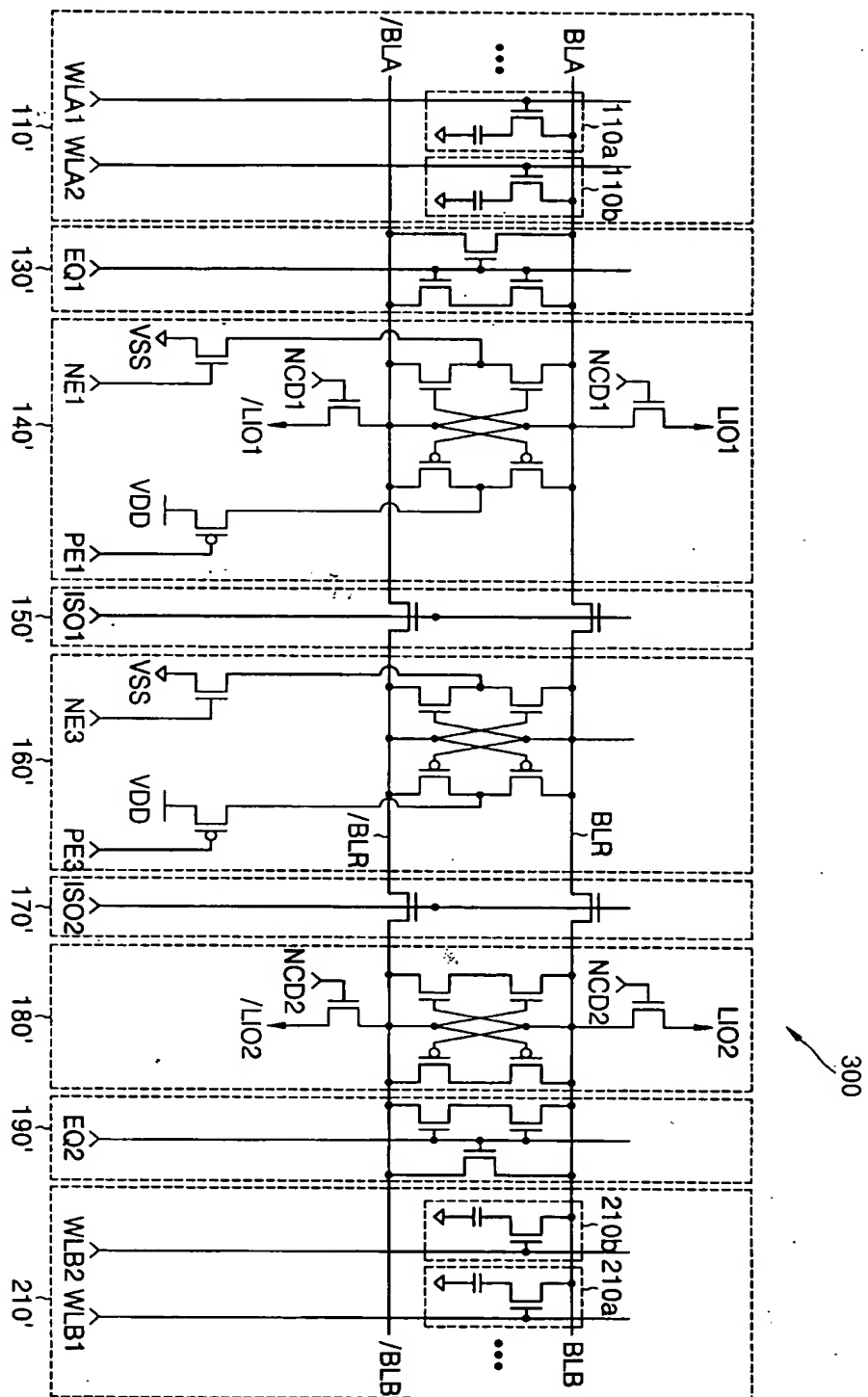
【도 1】



【도 2】

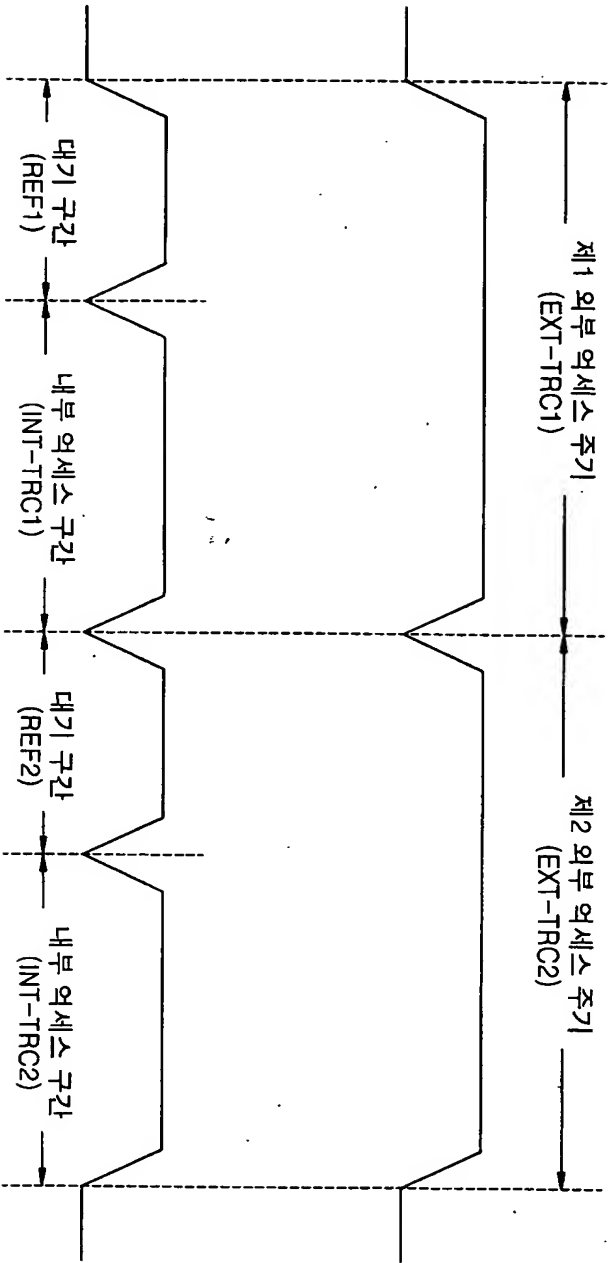


【도 3】

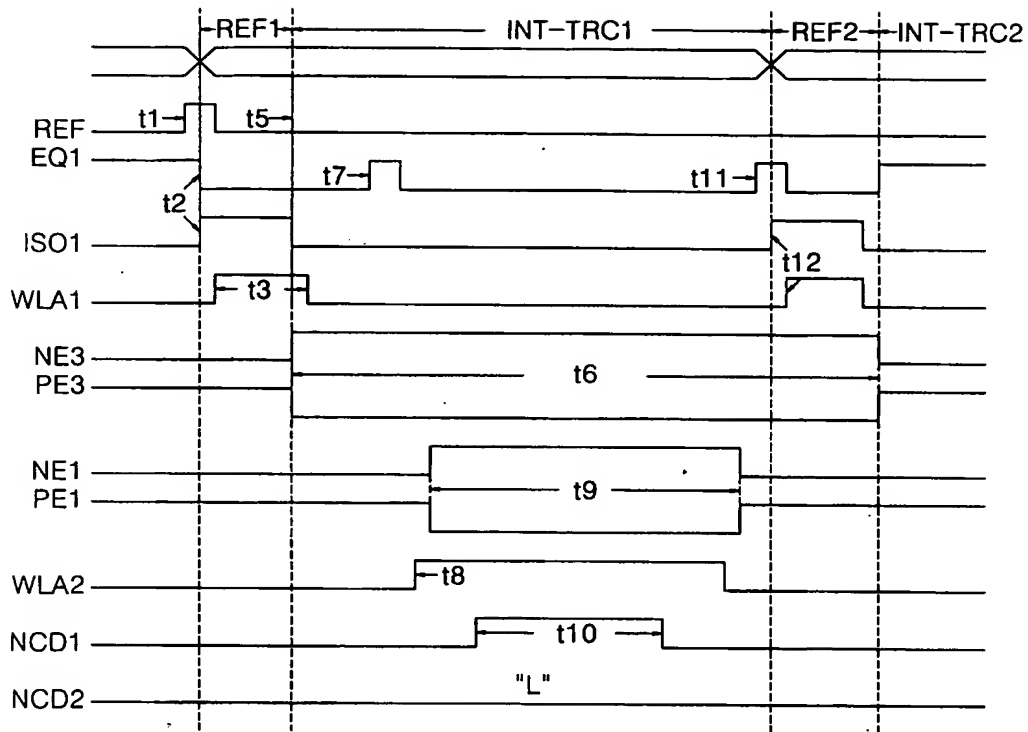




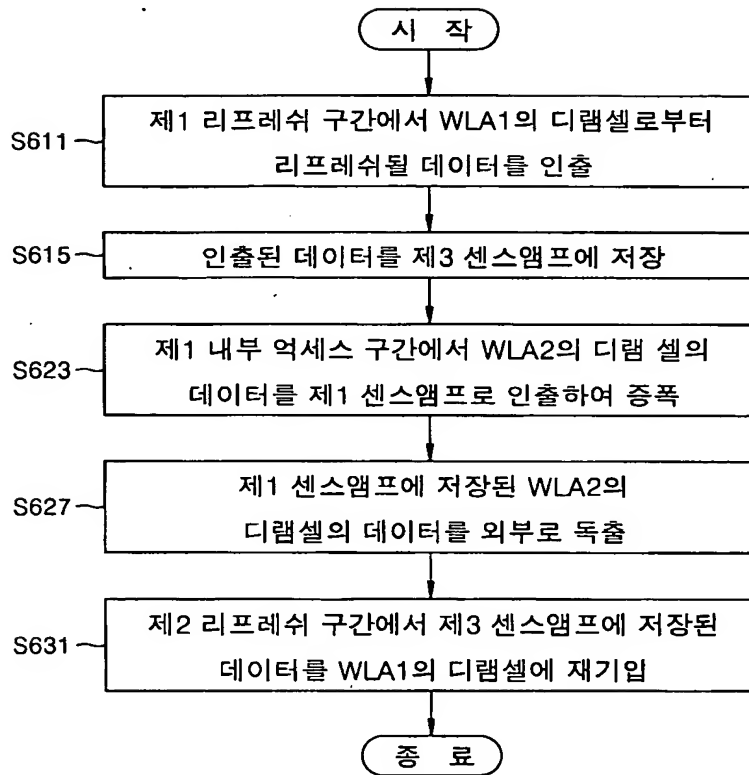
【도 4】



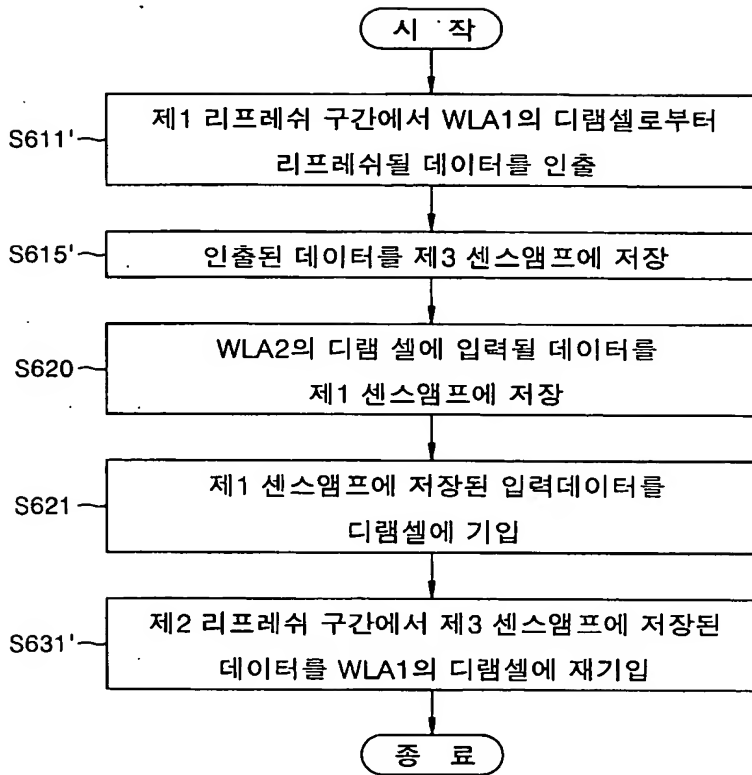
【도 5】



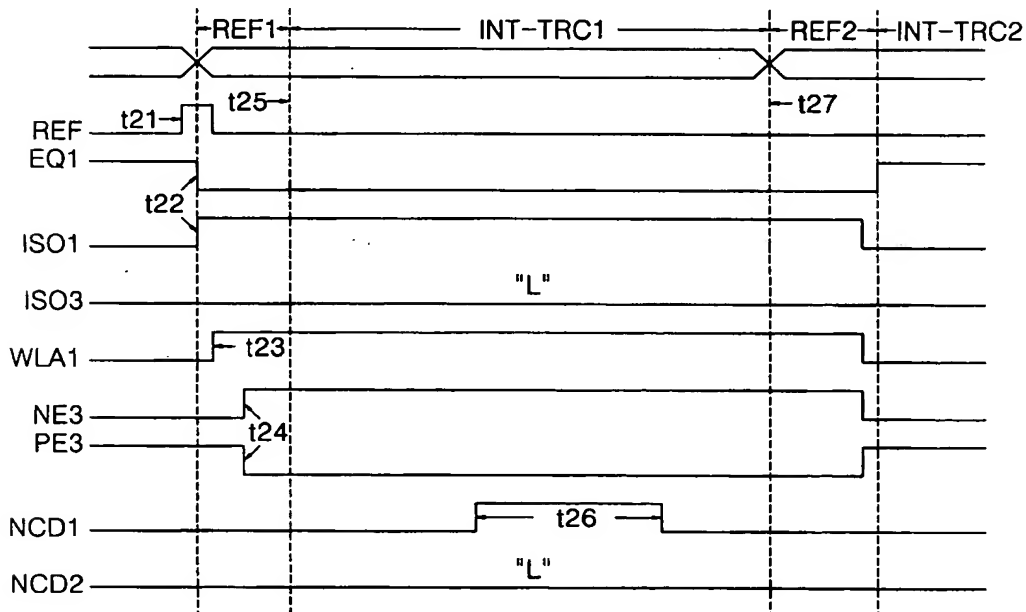
【도 6a】



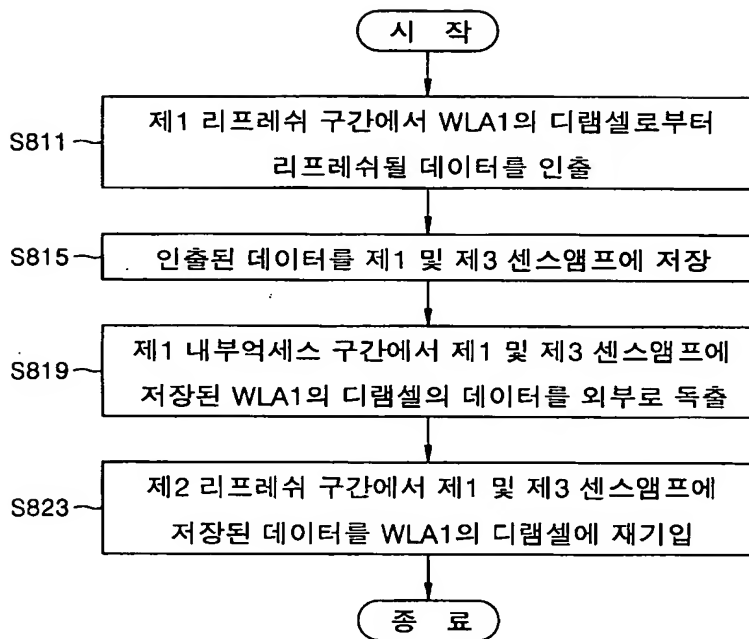
【도 6b】



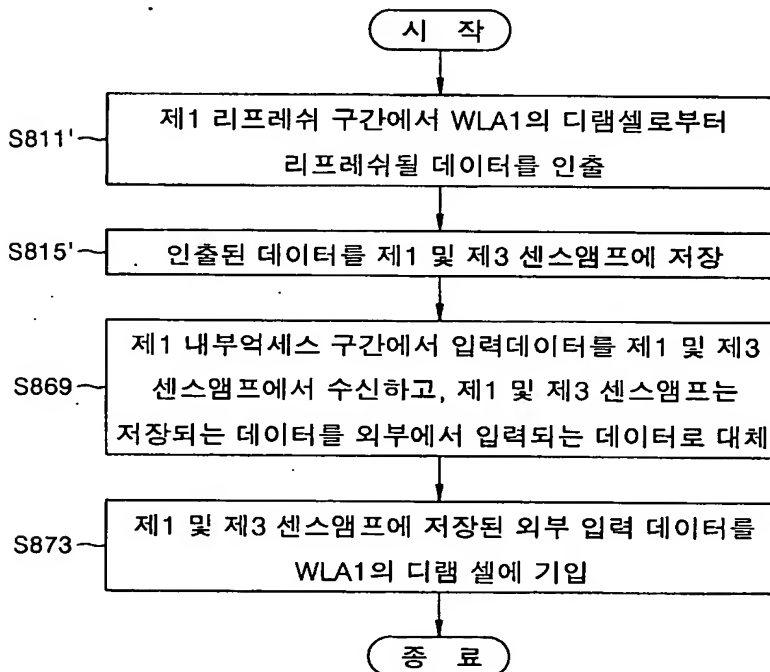
【도 7】



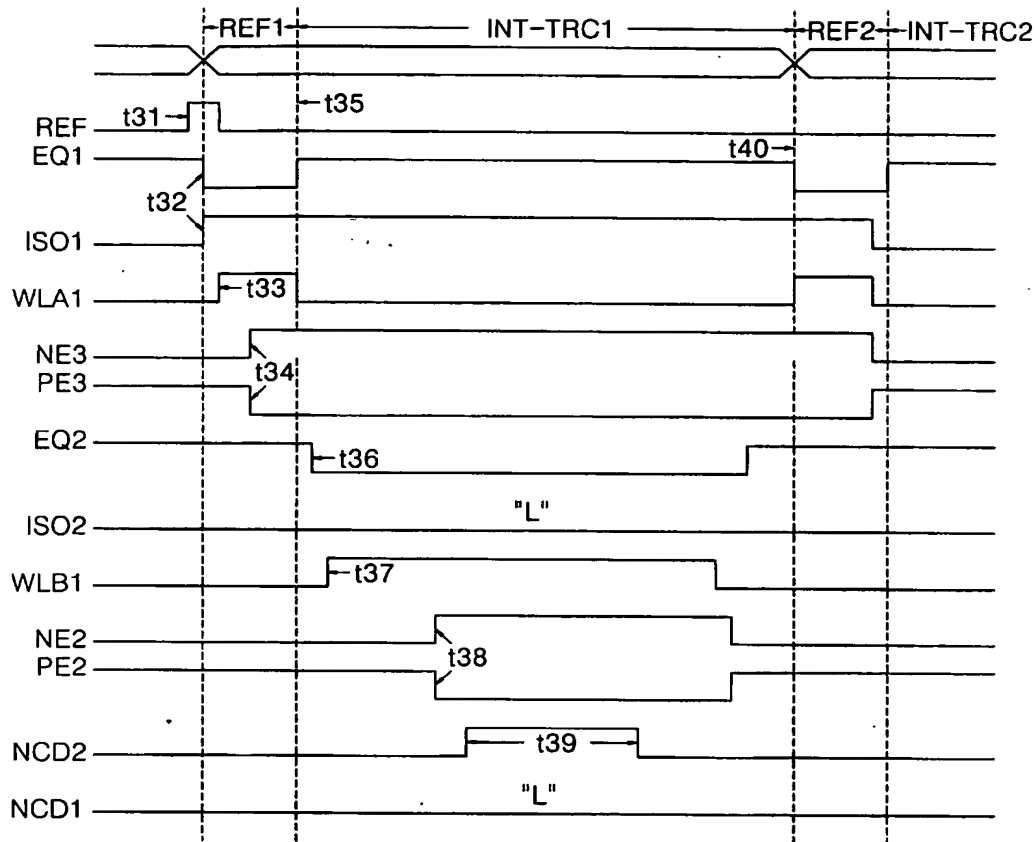
【도 8a】



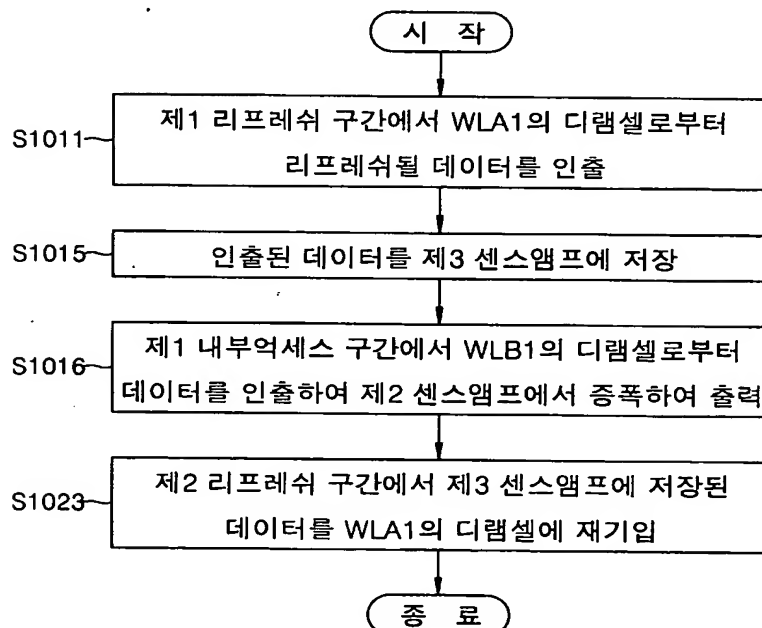
【도 8b】



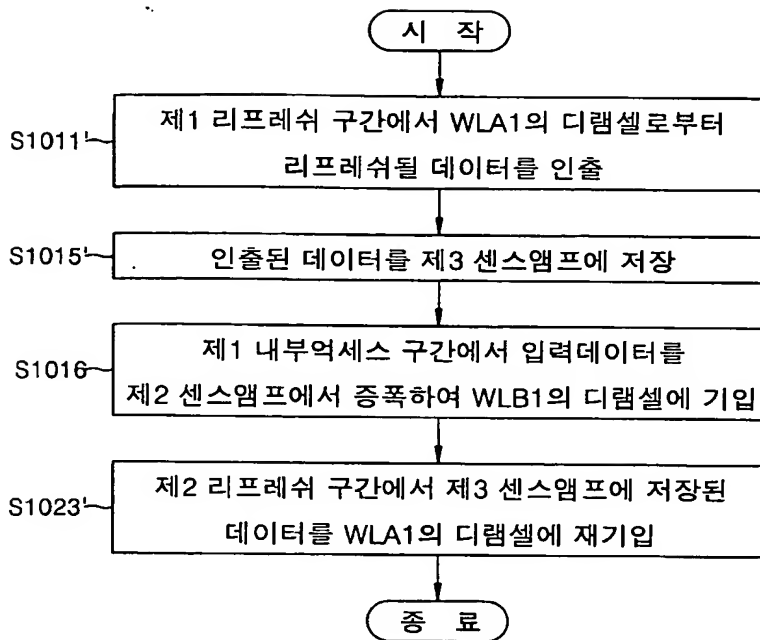
【도 9】



【도 10a】



【도 10b】



THIS PAGE BLANK (USPTO)